

ЭЛЕКТРОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА

17.1. АРИФМЕТИЧЕСКИЕ ОСНОВЫ ЦИФРОВЫХ ЛОГИЧЕСКИХ АВТОМАТОВ

В цифровых логических автоматах используется двоичная система счисления, основанием которой является число 2. Веса разрядов слева направо имеют последовательность

$$\dots 2^4 2^3 2^2 2^1 2^0, 2^{-1} 2^{-2} 2^{-3} \dots,$$

которая используется для перевода двоичного числа в десятичное. Например, двоичное число 10 111 эквивалентно десятичному числу 23

$$2^4 \cdot 1 + 2^3 \cdot 0 + 2^2 \cdot 1 + 2^1 \cdot 1 + 2^0 \cdot 1 = 23.$$

В цифровых логических автоматах используются специальные термины: бит, двоичный разряд, байт.

Бит, или *двоичный разряд*, определяет значение одного какого-либо знака в двоичном числе. Например, двоичное число 101 имеет три разряда. Крайний справа разряд с наименьшим весом называется *младшим*, крайний слева с наибольшим весом — *старшим*.

Байт определяет 8-разрядную единицу информации. Например, 10001111 или 00101001 и т.д.

Для представления числа в двоичной системе счисления требуется большое число двоичных разрядов. Запись облегчается, если использовать восьмеричную и шестнадцатеричную системы счисления. Основанием *восьмеричной* системы является число $8 = 2^3$, а *шестнадцатеричной* — $16 = 2^4$. Для перевода двоичного числа в восьмеричное (шестнадцатеричное) достаточно двоичное число разделить на трех(четырёх)битовые группы: целую часть справа налево, дробную — слева направо от запятой. Крайние группы могут быть неполными.

Таблица 17.1. Таблица кодов

Десятичное число	Двоичное число	Восьмеричное число	Шестнадцатеричное число
0	0000	0	0
1	0001	1	1
2	0010	2	2
3	0011	3	3
4	0100	4	4
5	0101	5	5
6	0110	6	6
7	0111	7	7
8	1000	10	8
9	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F

Каждая двоичная группа представляется соответствующей восьмеричной или шестнадцатеричной цифрой (табл. 17.1). Например, двоичное число 1100110000101001 в шестнадцатеричной системе выражается числом СС29, в восьмеричной — 146051.

Пользователю наиболее удобна десятичная система счисления. Поэтому многие цифровые логические автоматы, работая с двоичными числами, осуществляют прием и выдачу пользователю десятичных чисел. При этом часто применяется двоично-десятичный код.

Двоично-десятичный код образуется заменой каждой десятичной цифры в десятичном числе четырехразрядным двоичным представлением этой цифры по табл. 17.1. Например, 11_{10} представляется как 00010001_{2-10} . При этом в каждом байте располагаются две десятичные цифры, выраженные в двоично-десятичном коде. Заметим, что двоично-десятичный код при таком преобразовании не является двоичным числом, эквивалентным десятичному числу.

17.2. ЦИФРОВЫЕ ЛОГИЧЕСКИЕ АВТОМАТЫ БЕЗ ПАМЯТИ

Цифровыми логическими автоматами без памяти, или комбинационными логическими устройствами, называются электронные цифровые устройства, логические значения на выходах которых однозначно определяются совокупностью логических значений на входах в данный момент времени. К логическим автоматам без памяти относятся дешифраторы, шифраторы, мультиплексоры, демультиплексоры, сумматоры и другие цифровые устройства, выпускаемые в виде интегральных схем.

Дешифратором называется устройство, вырабатывающее сигнал логической 1 только на одном из своих 2^n выходов в зависимости от кода двоичного числа на n входах. На рис. 17.1, а — приведены: условное обозначение интегральной схемы дешифра-

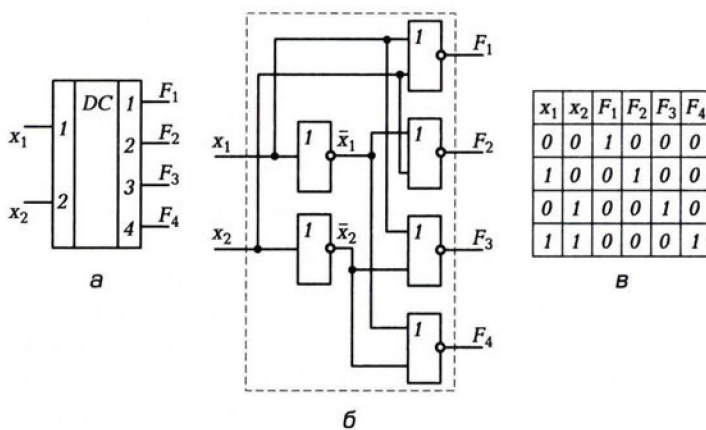


Рис. 17.1

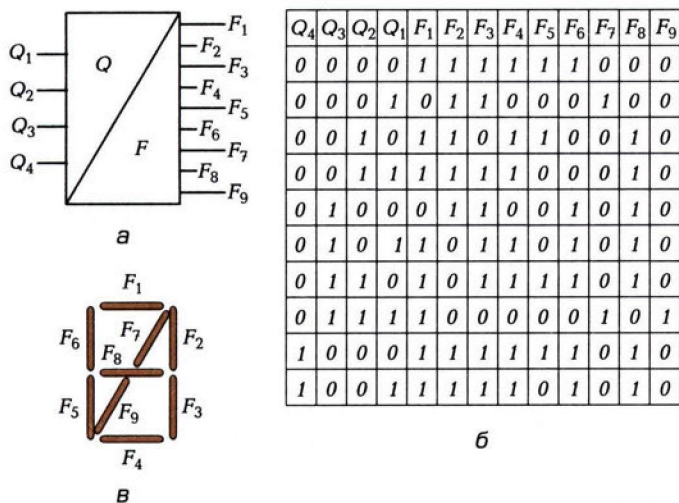


Рис. 17.2

тора на $n = 2$ входа и $2^n = 4$ выхода, его функциональная схема и таблица истинности.

Часто схемы дешифраторов изготавливаются с дополнительными входами, например входом разрешения (стробирования). Стробирование позволяет исключить появление на выходах дешифратора ложных сигналов, запрещая его работу в интервале времени переходного процесса при изменении цифрового кода на входе.

Преобразователь кодов отличается от дешифратора тем, что каждому набору логических 1 и 0 на входе ставит в однозначное соответствие набор логических 1 и 0 на выходе. Примером может служить интегральная схема и ее таблица истинности на рис. 17.2, а и б, преобразующая код двоичного числа $Q_4Q_3Q_2Q_1$ (цифры в индексах указывают номера разрядов) в сигналы управления $F_1—F_9$ девятью сегментами светового индикатора (рис. 17.2, в).

Шифратор выполняет функцию, обратную дешифратору. Он имеет 2^n входов, на один из которых подается логическая 1, а на остальные — 0. При этом на n выходах код двоичного числа должен соответствовать номеру единичного входа.

Мультиплексором называется устройство для коммутации одного из 2^m информационных входов на один выход. Для реализации необходимой коммутации мультиплексор имеет кроме информационных входов также m адресных входов. Значение чис-

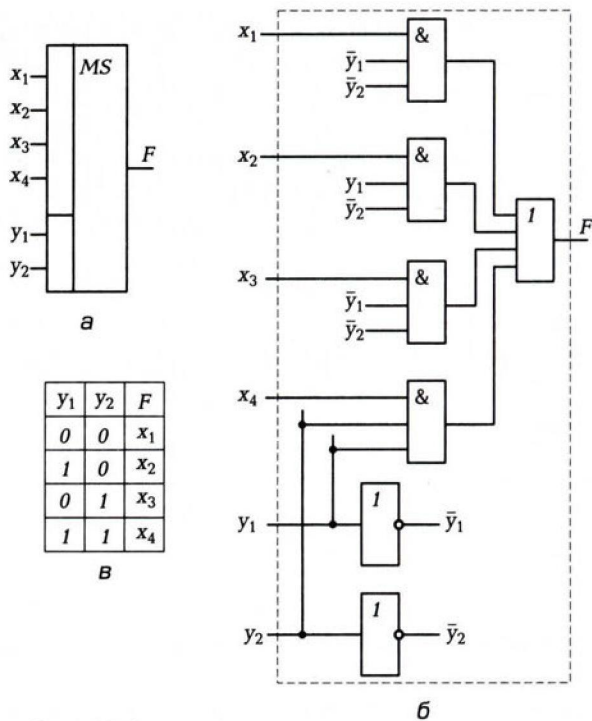


Рис. 17.3

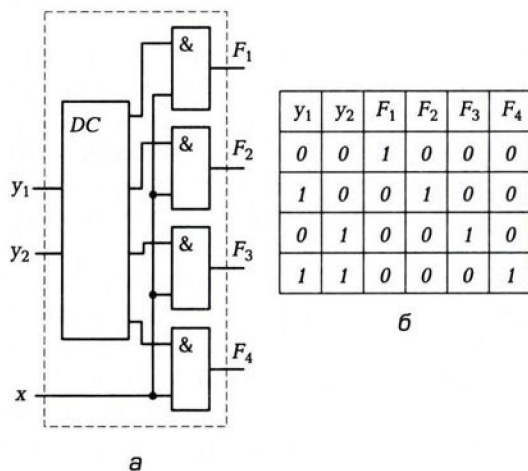


Рис. 17.4

ла в двоичном коде на адресных входах определяет адрес коммутируемого информационного входа.

Условное обозначение интегральной схемы мультиплексора с двумя адресными $m = 2$ (y_1 и y_2) и четырьмя информационными $2^m = 4$ (x_1, x_2, x_3, x_4) входами, его функциональная схема и таблица истинности приведены на рис. 17.3, а—в.

Демультимплексор выполняет функцию, обратную мультиплексору. С его помощью осуществляется коммутация одного информационного входа на один из 2^m информационных выходов в зависимости от значения числа в двоичном коде на m адресных входах.

Пример схемной реализации демультимплексора с двумя адресными $m = 2$ (y_1 и y_2) входами и четырьмя информационными $2^m = 4$ (F_1, F_2, F_3, F_4) выходами и его таблица истинности, в которой учтена таблица истинности дешифратора (см. рис. 17.1, в), приведены на рис. 17.4, а и б.

Генератором логических функций называется устройство, позволяющее получить на своем выходе желаемую функцию зна-

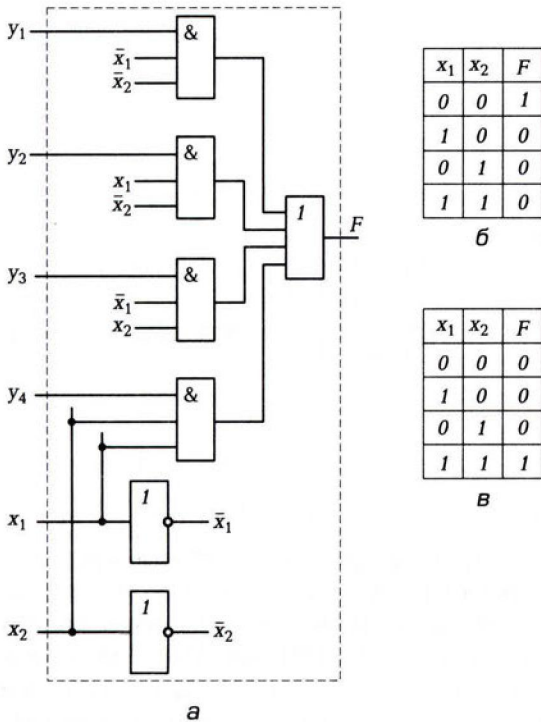
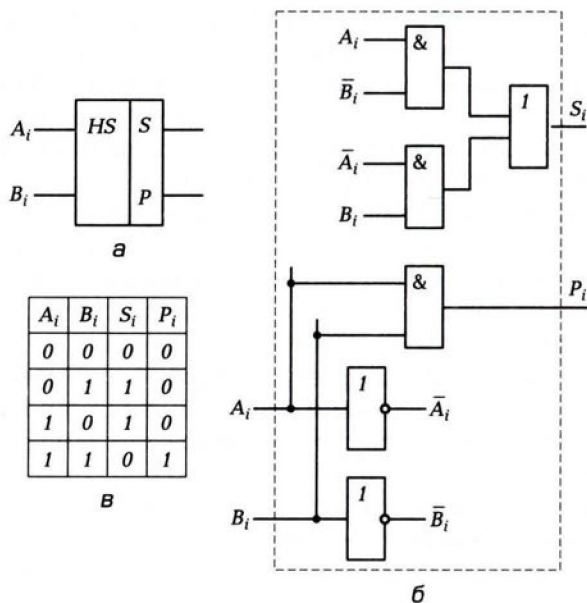
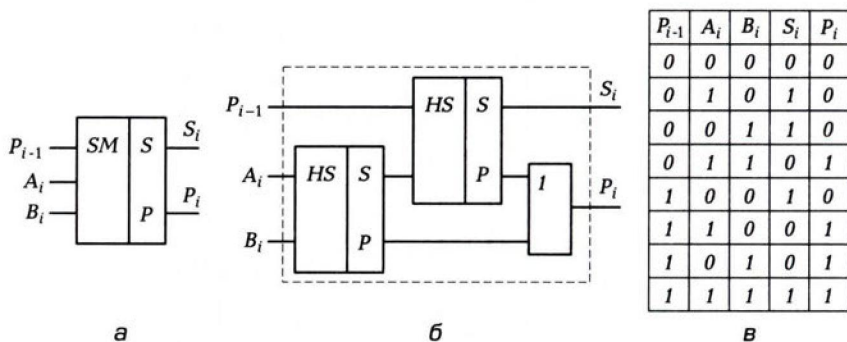


Рис. 17.5



A_i	B_i	S_i	P_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Рис. 17.6



P_{i-1}	A_i	B_i	S_i	P_i
0	0	0	0	0
0	1	0	1	0
0	0	1	1	0
0	1	1	0	1
1	0	0	1	0
1	1	0	0	1
1	0	1	0	1
1	1	1	1	1

Рис. 17.7

чений логических величин на его информационных входах. Такие генераторы реализуются на основе мультиплексов (см. рис. 17.3, б), в которых назначение управляющих и информационных входов следует поменять местами. Так, задавая на управляющих входах y_1, y_2, y_3, y_4 генератора логических функций (рис. 17.5, а) соответствующие значения логических 1 и 0, получим на выходе любую функцию F величин на информационных

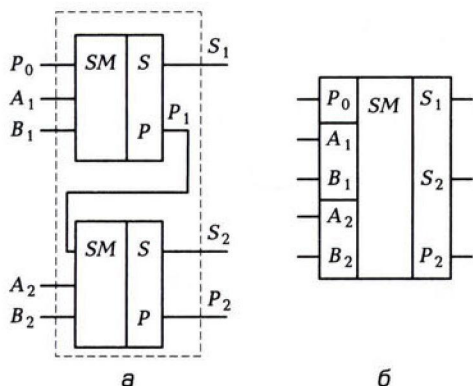


Рис. 17.8

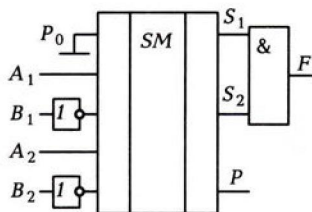


Рис. 17.9

входах x_1 и x_2 . Например, логическим функциям $F = \overline{X_1 + X_2}$ и $F = x_1 \wedge x_2$, т.е. таблицам истинности на рис. 17.5, б и в, соответствуют значения $y_1, y_2, y_3, y_4 = 1000$ и 0001 . Такой способ получения логических функций позволяет унифицировать элементную базу в интегральном исполнении и сократить время проектирования логических автоматов.

Сумматором называется устройство для арифметического сложения двух двоичных чисел. Сложение двух одноименных i -х разрядов с учетом переносов из младшего ($i - 1$)-го разряда в старший ($i + 1$)-й разряд осуществляется одноразрядным сумматором, который состоит из одноразрядных *полусумматоров*. Последние не учитывают перенос из младшего разряда.

На рис. 17.6, а—в приведены условное обозначение интегральной схемы одноразрядного полусумматора, его функциональная схема и таблица истинности, где A_i и B_i — одноименные разряды двух двоичных чисел; S_i — сумма; P_i — перенос в старший разряд.

Условное обозначение интегральной схемы одноразрядного сумматора, его функциональная схема и таблица истинности приведены на рис. 17.7, а—в. Из одноразрядных составляются много-разрядные сумматоры. Схема и условное обозначение интегральной схемы двухразрядного сумматора приведены на рис. 17.8, а и б.

Цифровым компаратором называется устройство сравнения двоичных чисел. Одна из возможных схем реализации с применением сумматора приведена на рис. 17.9. Действительно, если в одноименных разрядах $A_i = B_i$, где i — номер разряда, то сумма значений A_i и B_i равна $S_i = 1$ и перенос в старший разряд $P_i = 0$.

Таким образом, при равенстве двух двоичных чисел на выходе сумматора $S_1 = S_2 = 1$ и $P = 0$, а на выходе логического элемента $F = 1$.

Приведенная схема цифрового компаратора может также фиксировать неравенство двух двоичных чисел $A_2A_1 > B_2B_1$, при котором на выходе сумматора перенос в старший разряд $P = 1$.

17.3. ЦИФРОВЫЕ ЛОГИЧЕСКИЕ АВТОМАТЫ С ПАМЯТЬЮ

Цифровыми логическими автоматами с памятью, или последовательными логическими устройствами, называются электронные цифровые устройства, логические значения на выходах которых определяются как совокупностью логических значений на входах в данный момент времени, так и состоянием логического автомата по результатам его предшествующей работы. Запоминание предшествующих состояний обычно выполняется с помощью триггеров.

К логическим автоматам с памятью относятся счетчики импульсов и сдвиговые регистры.

Счетчиком называется устройство для определения числа поступающих на его вход импульсов напряжения. Различают счетчики на сложение, вычитание и реверсивные. Последние имеют два входа — один на сложение, другой на вычитание.

Рассмотрим работу трехразрядного счетчика на сложение (рис. 17.10, а) на основе двухступенчатых JK-триггеров (см. рис. 16.21, а) с представлением результата счета в двоичной системе счисления.

Перед началом работы счетчика все его разряды с помощью установочных входов R (см. рис. 16.17, а) устанавливаются в состояние $Q_1 = Q_2 = Q_3 = 0$. В момент окончания первого счетного импульса триггер младшего разряда $ТТ_1$ переключается, а состояние триггеров старших разрядов $ТТ_2$ и $ТТ_3$ не изменяется, т. е. значение двоичного числа на выходе счетчика равно $Q_3Q_2Q_1 = 001$. В момент окончания второго счетного импульса триггер $ТТ_1$ снова переключается и логическое значение выхода младшего разряда изменяется с 1 на 0. Поэтому одновременно переключится и триггер $ТТ_2$, т. е. $Q_3Q_2Q_1 = 010$. Далее переключение триггеров происходит аналогично, так что число импульсов на входе счетчика соответствует числу в двоичной системе счисления на

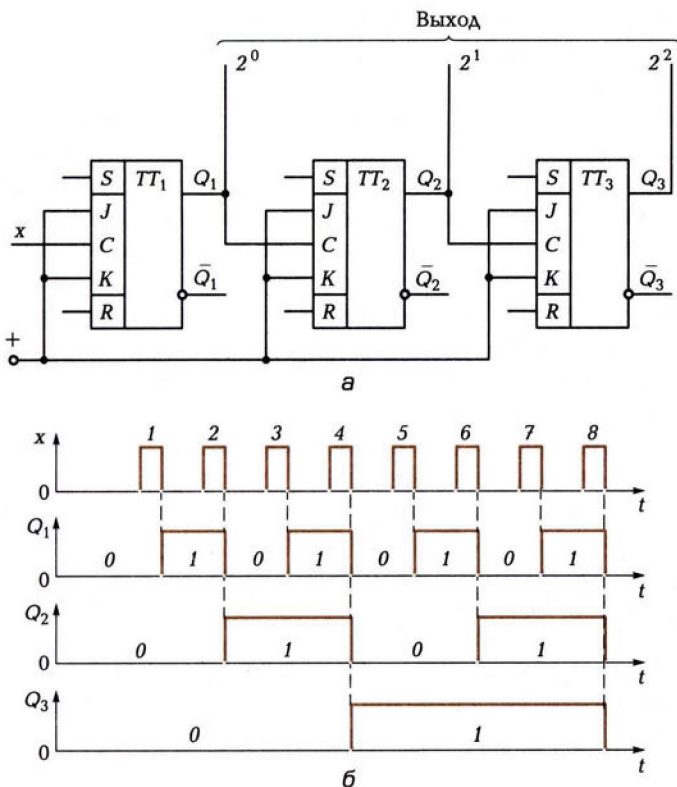


Рис. 17.10

его выходе (рис. 17.10, б). После седьмого счетного импульса число на выходе счетчика $Q_3Q_2Q_1 = 111$, а после восьмого — 000. Такой счетчик называется *по модулю 8*.

Схема счетчика на вычитание отличается от рассмотренной выше схемы счетчика на сложение тем, что в последней входы синхронизации триггеров следует переключить с прямых на инверсные входы триггеров предыдущих разрядов.

Интегральные схемы счетчиков имеют следующие входные и выходные выходы (не обязательно все).

1. Входы: R — для установки всех разрядов в состояние логических 0; $+1$ и -1 для счета числа импульсов на сложение и вычитание соответственно; $D_1D_2D_4D_8$ — для установки счетчика в заданное состояние; C — для разрешения установки счетчика в состояние, заданное на входах $D_1—D_8$ (цифры в индексах указывают веса разрядов); V — для разрешения счета.

2. *Выходы*: $Q_1Q_2Q_3Q_4$ — для указания содержимого в счетчике числа; вспомогательные — для указания переполнения или обнуления счетчика.

Максимальное число (максимальная емкость), которое можно записать в счетчик, равно $N = 2^n - 1$, где n — число разрядов счетчика. Емкость счетчика, называемая также *коэффициентом счета*, отражается в его названии. Например, счетчик с коэффициентом счета $N = 2^n - 1$ называется *двоичным*, с коэффициентом счета (от 0 до 9) — *двоично-десятичным*.

Условное обозначение интегральной схемы четырехразрядного двоично-десятичного реверсного счетчика и его таблица истинности при работе на сложение даны на рис. 17.11, а и б.

Сдвигowymi регистрами называются устройства для приема, хранения, передачи и преобразования информации, представленной обычно в двоичной системе счисления. Элементарной базой их реализации являются синхронные и асинхронные триггеры (см. подразд. 16.6). Последние здесь рассматриваться не будут из-за ограниченного распространения.

Различают последовательный и параллельный вводы информации в сдвиговую регистр.

При *последовательном вводе* информация в виде последовательности логических сигналов подается на один вход регистра и последовательно продвигается по его разрядам.

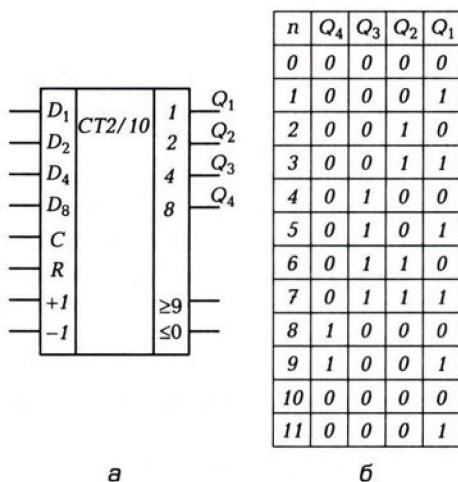


Рис. 17.11

На рис. 17.12, а приведена схема трехразрядного синхронного сдвигового регистра на двухступенчатых *JK*-триггерах. Предварительно подачей сигналов на установочные входы *R* (см. рис. 16.17, а) триггеры устанавливаются в состояние $Q_1 = Q_2 = Q_3 = 0$. Подав логический сигнал $x = 1$ на вход регистра, т. е. на установочный вход *S* триггера *ТТ*₁, приведем его в состояние $Q_1 = 1$ (рис. 17.12, б). При этом состояние регистра определится совокупностью значений $Q_1Q_2Q_3 = 100$. Под действием первого импульса синхронизации *C* состояние регистра изменится на $Q_1Q_2Q_3 = 010$, под действием второго импульса синхронизации — на $Q_1Q_2Q_3 = 001$ и т.д.

При *параллельном вводе* информации все разряды двоичного числа одновременно подаются каждый на вход соответствующе-

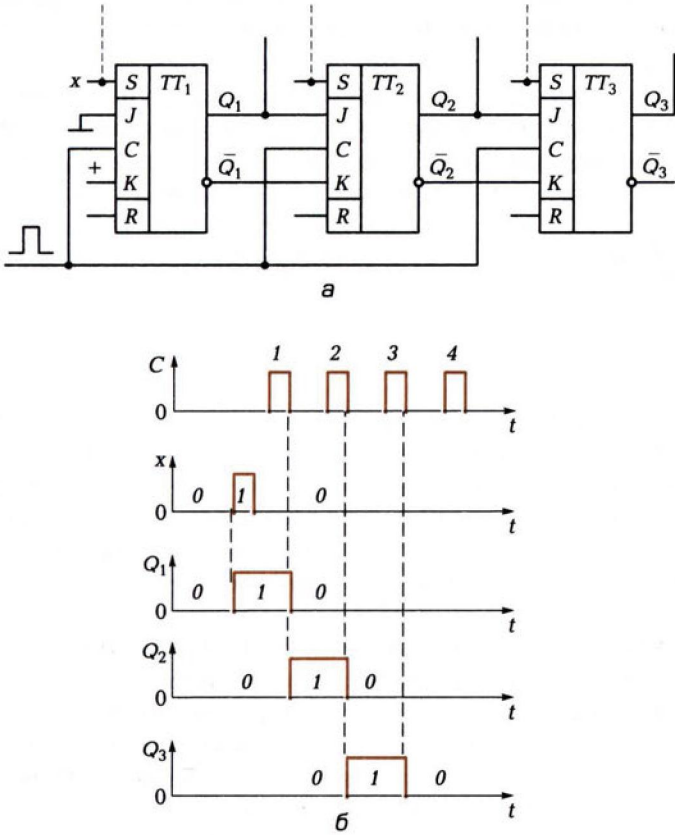


Рис. 17.12

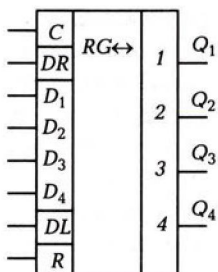


Рис. 17.13

го разряда регистра. Например, как показано на рис. 17.12, а штриховыми линиями.

Регистры применяются для преобразования последовательного кода двоичного числа в параллельный, и наоборот, хранения (буферизации) кода двоичного числа, вводимого в регистр и выводимого из него через некоторое время, сдвига кода двоичного числа на один разряд, что означает умножение его значения на 2.

Интегральные схемы регистров имеют следующие входные и выходные выводы (не обязательно все):

зательно все):

1. *Входы:* D_1, D_2 — для подачи параллельного кода; DR и DL — для сдвига вправо и влево; R — для установки всех разрядов в состояние логических 0; C — для разрешения записи по входам D_1, D_2, \dots ; V — для разрешения сдвига.

2. *Выходы:* Q_1, Q_2, \dots , — для указания содержимого регистра.

На рис. 17.13 приведено условное обозначение интегральной схемы четырехразрядного универсального сдвигового регистра.

17.4. ЦИФРОВЫЕ ЛОГИЧЕСКИЕ АВТОМАТЫ С АДРЕСНОЙ ВЫБОРКОЙ. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Цифровыми логическими автоматами с адресной выборкой называются цифровые устройства, в которых каждый набор логических значений на входах содержит адрес, позволяющий из множества информационных ячеек устройства обратиться и работать с той или иной из них. К логическим автоматам с адресной выборкой относятся оперативные и постоянные запоминающие устройства.

Оперативные запоминающие устройства (ОЗУ — RAM, random access memory) представляют собой устройства, содержащее информационных ячеек которых при обращении к ним можно изменять, т. е. считывать, одновременно стирая, и записывать. В качестве элементов для хранения информации в ОЗУ используются триггеры (см. подразд. 16.6) или электрические емкости p - n -переходов транзисторов с большой постоянной времени разрядки. В последнем случае ОЗУ называется *динамическим*, так как

требуется периодическое восстановление его электрического состояния. Для динамических ОЗУ по сравнению с ОЗУ на основе триггеров, называемых *статическими*, характерны меньшее потребление энергии и сохранение информации при кратковременном отключении питания, но увеличенный набор аппаратных средств.

Типовая организация интегральных схем ОЗУ 4096×1 , т.е. 4096 запоминающих ячеек по одному разряду в каждой, 16384×1 , 1024×4 , 1024×8 и др.

Постоянные запоминающие устройства (ПЗУ — ROM, read only memory) представляют собой два набора параллельных шин, ортогональных друг другу. В местах пересечения шины соединяются между собой перемычками в виде полупроводниковых диодов или проводников. Целенаправленные исключения части перемычек плавкой проводников, электрическим пробоем диодов или в процессе производства с помощью соответствующих масок означает программирование, т.е. запись информации в ПЗУ. По этому признаку различают ПЗУ масочные и программируемые пользователем. Масочные ПЗУ используются для записи постоянной информации общего пользования, например математических таблиц, символов, программ стандартных математических преобразований и др. В ПЗУ, программируемых пользователем, возможна однократная самостоятельная запись информации. Существуют также ПЗУ, допускающие неоднократное, хотя ограниченное число раз (до десятков раз), изменение информации. Стирание информации в них осуществляется ультрафиолетовым облучением.

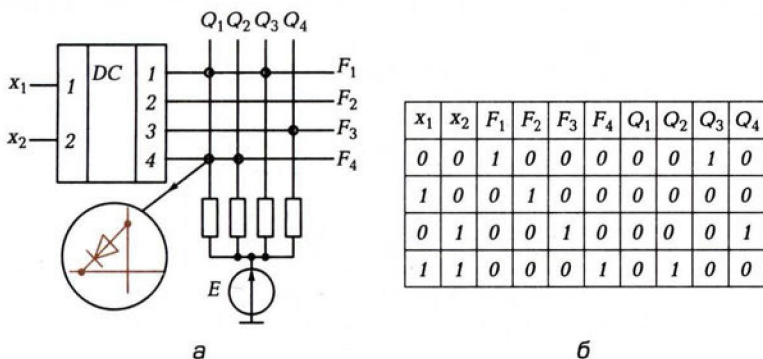


Рис. 17.14

На рис. 17.14, а и б приведены схема и таблица истинности четырехразрядного ПЗУ, где обозначены x_1 и x_2 — адресные входы; Q_1, Q_2, Q_3, Q_4 и F_1, F_2, F_3, F_4 — выходы ПЗУ и дешифратора (см. рис. 17.1). Напряжение на выходе разряда Q_i , где $1 \leq i \leq 4$ номер разряда, будет иметь положительное (близкое к нулю) значение, если все диоды, подключенные к соответствующей шине, выключены (хотя бы один диод включен) положительным (близким к нулю) напряжением на выходах дешифратора.

С помощью ПЗУ можно реализовать различные логические функции, т. е. таблицы истинности, и таким образом заменить комбинационные логические устройства с большим числом логических элементов. На этом принципе основана работа *программируемых логических матриц* (ПЛМ).

Типовая организация интегральных схем ПЗУ, программируемых пользователем, 32×8 , т. е. 32 запоминающие ячейки по 8 разрядов в каждой, 256×4 , 516×4 , 1024×8 и др.

17.5. ЦИФРОАНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Цифроаналоговым преобразователем (ЦАП) называется устройство для преобразования значения цифрового кода (двоичного числа) в пропорциональное значение аналоговой величины (напряжения). Наиболее распространены ЦАП на основе многорезивной цепи резисторов типа $R-2R$ (рис. 17.15), которая содержит резисторы $R_0 = R_1 = R_2 = R_3 = R_4 = 2R$, $R_{12} = R_{23} = R_{34} = R$.

Резисторы R_1, R_2, R_3, R_4 через переключатели $\Pi_1, \Pi_2, \Pi_3, \Pi_4$, управляемые значениями 1 или 0 соответствующих разрядов $A_1, A_2,$

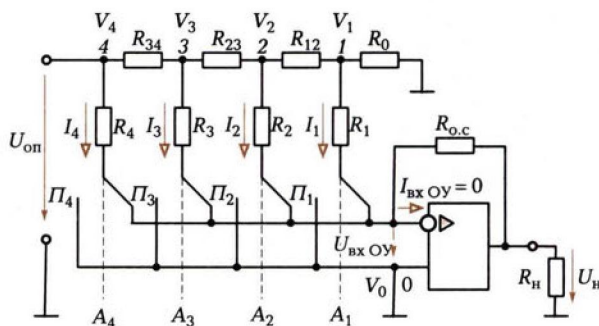


Рис. 17.15

A_3, A_4 кода двоичного числа, подключаются либо к инвертирующему входу операционного усилителя, либо к точке 0 с нулевым потенциалом $V_0 = 0$. При этом, полагая ОУ идеальным (15.11), т.е. напряжение на его входе $U_{\text{вх ОУ}} = 0$, токи в резисторах не будут зависеть от положения переключателей. Это определяет высокую точность ЦАП.

Рассмотрим работу схемы ЦАП. Резисторы R_1 и R_0 включены параллельно и имеют равные сопротивления. Их общее сопротивление при любом положении переключателя P_1 равно сопротивлению резистора R_{12} , который включен с ними последовательно, поэтому потенциал точки 2 равен $V_2 = 2V_1$.

Рассуждая аналогичным образом, получим значения потенциалов точек 3, 4 и токов

$$V_3 = 2V_2 = 4V_1, \quad V_4 = 2V_3 = 8V_1;$$

$$I_1 = \frac{V_1}{R_1}, \quad I_2 = \frac{V_2}{R_2}, \quad I_3 = \frac{V_3}{R_3}, \quad I_4 = \frac{V_4}{R_4},$$

или

$$I_4 = \frac{U_{\text{оп}}}{R_4} = 2I_3 = 4I_2 = 8I_1,$$

где $U_{\text{оп}} = V_4 - V_0 = V_4$ — стабилизированное постоянное напряжение, называемое *опорным*. Соотношения значений токов в резисторах R_1, R_2, R_3, R_4 соответствуют «весам» разрядов кода двоичного числа A_1, A_2, A_3, A_4 , т.е. $2^0 = 1, 2^1 = 2, 2^2 = 4, 2^3 = 8$, управляемого переключателями.

Следовательно, значение напряжения на выходе ЦАП (15.16)

$$U_{\text{н}} = -R_{\text{о.с}}(I_1 + I_2 + I_3 + I_4)$$

пропорционально значениям кода двоичного числа на его входе.

Основными параметрами ЦАП являются допустимые диапазоны изменений значений входных и выходных величин, быстродействие (до 5 мкс) и погрешность преобразования. Последняя определяется нестабильностью источника опорного напряжения, неидеальностью электронных переключателей и ОУ.

17.6. АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Аналого-цифровым преобразователем (АЦП) называется устройство для преобразования значений аналоговой величины (напряжения) в пропорциональное значение цифрового кода (двоич-

ного числа с числом разрядов n). Различают параллельные и последовательные АЦП.

Параллельные АЦП основаны на одновременном сравнении значений аналоговой величины с $2^n - 1$ значениями эталонов, «веса» которых отличаются на минимальное значение (квант).

Параллельные АЦП имеют наименьшее время преобразования. Однако они сложны для интегрального исполнения, имеют высокую стоимость и ограниченное применение.

Последовательные АЦП основаны на периодическом сравнении значения аналоговой величины с последовательно возрастающей суммой значений эталонов. К последовательным относятся также АЦП с промежуточным преобразованием значения одной аналоговой величины в пропорциональное значение другой (интервал времени, частоту следования импульсов и др.) с последующим преобразованием в цифровой код.

Основными параметрами АЦП являются: допустимый диапазон преобразуемых значений напряжения (до 3 В); время преобразования (до 5 мкс для последовательных и единиц наносекунд для параллельных АЦП); погрешность преобразования, определяемая числом разрядов (обычно 4, 8, 12).

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Дайте определения двоичной системы счисления, бита и байта.
2. Назовите основные признаки логических автоматов с памятью и без памяти.
3. Перечислите типы запоминающих устройств.
4. Какие функции выполняют аналого-цифровые и цифроаналоговые преобразователи информации?
5. Приведите примеры логических автоматов с памятью и без памяти.

ЗАДАЧИ ДЛЯ САМОСТОЯТЕЛЬНОГО РЕШЕНИЯ

1. Число 2,5, заданное в десятичной системе счисления, представьте в двоичной системе счисления.
Ответ: 10,1.
2. Число 10101, 1001, заданное в двоичной системе счисления, представьте в восьмеричной системе счисления.
Ответ: 25,44.